

MENU

SEARCH

INDEX

DETAIL

1/1



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 05055582

(43)Date of publication of application: 05.03.1993

(51)Int.Cl.

H01L 29/784

H01L 27/12

(21)Application number: 03238714

(71)Applicant:

SEMICONDUCTOR ENERGY LAB
CO LTD

(22)Date of filing: 26.08.1991

(72)Inventor:

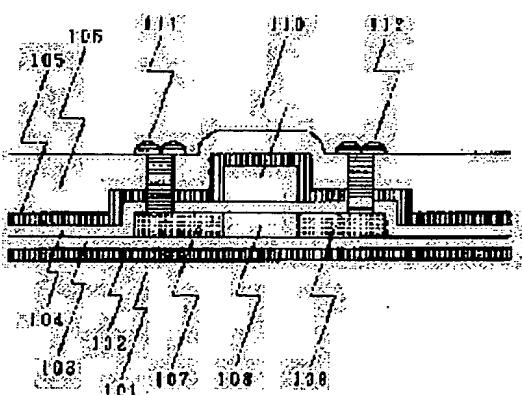
YAMAZAKI SHUNPEI
TAKEMURA YASUHIKO

(54) THIN-FILM SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To enable deterioration of an element due to a contamination element/ ion to be suppressed by forming a film with a blocking operation for a movable ion such as a silicon nitride, aluminum oxide, and a tantalum oxide on lower and upper portions of a thin-film semiconductor element.

CONSTITUTION: A first silicon nitride film is formed on an insulation substrate 101 as a first blocking film 102. The first silicon nitride film has an effect for preventing contamination from a substrate. Then, a film 103 with an improved adhesion property with a silicon material such as silicon oxide is formed on the first silicon nitride film. A TFT is formed on the film 103. A second silicon nitride film is formed as a second blocking film 105 covering the TFT, where the second silicon nitride film is formed after the TFT is manufactured and before an electrode is formed at a source and/or a drain. An interlayer insulation film



106 is formed after formation of the second silicon nitride film and then a source electrode 111 and a drain electrode 112 are formed.

LEGAL STATUS

[Date of request for examination] 31.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998 Japanese Patent Office

MENU

SEARCH

INDEX

DETAIL

(18)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-55582

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl.

H 01 L 29/784

27/12

識別記号

序内整理番号

F I

技術表示箇所

8728-4M

8058-4M

H 01 L 29/78

311 X

審査請求 未請求 請求項の数 4(全 7 頁)

(21)出願番号

特願平3-235714

(22)出願日

平成3年(1991)8月26日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 山崎 駿平

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72)発明者 竹村 保彦

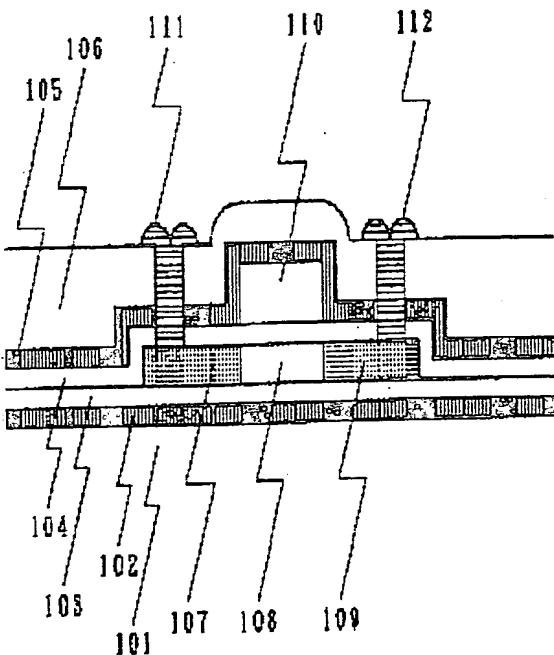
神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(54)【発明の名称】 薄膜状半導体素子およびその作製方法

(57)【要約】

【構成】 絶縁性基板状に形成されたTFT等の薄膜状半導体素子において、該半導体素子の下に緩衝用絶縁膜を介して窒化珪素、酸化アルミニウム、酸化タンタル等からなる第1のブロッキング膜を形成し、さらに、TFTの上に第2のブロッキング膜を形成し、前記第1および第2のブロッキング膜でTFTを覆うことによって基板やその他外音から可動イオンの侵入を阻止することを特徴とする薄膜状半導体素子およびその作製方法。



【特許請求の範囲】

【請求項1】 基板上に形成された第1のプロッキング膜と、前記プロッキング膜上に形成された絶縁性被膜と、前記絶縁性被膜上に形成された薄膜トランジスタと、前記薄膜トランジスタを包んで形成された第2のプロッキング膜を有する薄膜状半導体素子。

【請求項2】 請求項1において、該絶縁性被膜はハロゲン元素を含有することを特徴とする薄膜状半導体素子。

【請求項3】 請求項1において、プロッキング膜は、窒化珪素、酸化アルミニウム、もしくは酸化タンタルであることを特徴とする薄膜状半導体素子。

【請求項4】 基板上に、第1のプロッキング膜を形成する工程と、前記プロッキング膜上に、第1の絶縁性被膜を形成する工程と、前記絶縁性被膜上にシリコン膜を形成する工程と、前記シリコン膜上に第2の絶縁性被膜を形成する工程と、前記シリコン膜およびゲート電極を形成する工程と、前記シリコン膜およびゲート電極を覆って第2のプロッキング膜を形成する工程とを有する薄膜状半導体素子の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、信頼性および量産性に優れ、歩留りの高い、薄膜トランジスタ等の薄膜状半導体装置およびその製造方法に関する。本発明は、その応用分野として、例えば、液晶ディスプレーや薄膜イメージセンサー等の駆動回路あるいは3次元集積回路等を構成せんとするものである。

【0002】

【従来の技術】 従来、半導体集積回路は、シリコン等の半導体基板上に形成されたモノリシック型が中心であったが、近年、ガラスやサファイヤ等の絶縁基板上に形成することが試みられている。その理由としては、基板と配線間の寄生容量が低下して動作速度が向上することと、特に石英その等のガラス材料は、シリコンウェハーのような大きさの制限がなく、安価であること、素子間の分離が容易で、特にCMOSのモノリシック集積回路で問題となるようなラッチアップ現象がおこらないこと等のためである。また、以上のような理由とは別に液晶ディスプレーや密着型イメージセンサーにおいては、半導体素子と液晶素子あるいは光検出素子とを一体化して構成する必要から、透明な基板上に薄膜トランジスター(TFT)等を形成する必要がある。

【0003】 このような理由から絶縁性基板上に薄膜状の半導体素子が形成されるようになった。従来の薄膜状半導体素子の例として、TFTを図5に示す。図に示されるように、絶縁性基板501上に、パッセンジーション膜として、酸化珪素等の被膜503が形成され、その上にTFTが他のTFTとは独立して形成される。TFTは、モノリシック集積回路のMOSFETと同様に、ソ

ース(ドレイン)領域507とドレイン(ソース)領域509、それらに挟まれたチャネル形成領域(単にチャネル領域ともいう)508、ゲート絶縁膜504、ゲート電極510、そして、ソース(ドレイン)電極511とドレイン(ソース)電極512を有している。また、多層配線が可能なようにPSG等の層間絶縁物506が設けられる。

【0004】 図5の例は、順コプラナー型と呼ばれるものであるが、TFTでは、ゲート電極とチャネル領域の配置の様子によって、これ以外に逆コプラナー型、順スタガーモード、逆スタガーモードとよばれる形態があるが、その詳細については他の文献に任せるとして、ここではこれ以上、言及しない。

【0005】

【発明が解決しようとする課題】 モノリシック集積回路においても、ナトリウムやカリウムのようなアルカリイオン、あるいは鉄、銅、ニッケル等の遷移金属イオンによる汚染は深刻な問題であり、これらのイオンの侵入を食い止めるために、非常な注意が払われてきた。TFTでも、それらのイオンの問題は同様に重大なもので、極力、汚染がないように生産工程の清浄化には注意が向けられている。また、素子にもこれらの汚染が及ばないように対策が講じられている。

【0006】 薄膜状半導体素子がモノリシック集積回路と異なることは、基板中の汚染イオンの濃度が比較的高いということである。すなわち、モノリシック集積回路に使用される単結晶シリコンは、長年の技術の蓄積によって、これらの有害な汚染元素を排除するようにして生産されており、現在市販されているものでは、これらの汚染元素は10⁻¹⁰ cm⁻³以下である。

【0007】 しかしながら、一般に薄膜状半導体素子用の絶縁性基板の汚染元素濃度は低くない。もちろん、スピネル基板やサファイヤ基板のような単結晶基板では、上記汚染源となる異元素の濃度を低減することが理論的には可能であるが、採算面から現実的ではない。また、石英基板は、高純度シリコンガスと酸素を原料として、気相反応で製造すれば、理想的には異元素の侵入を食い止めることができ可能であるが、構造がアモルファスであるので、いったん異元素が取り込まれた場合にこれを外部に吐き出すことが困難である。また、液晶ディスプレーに使用される基板は特にコストの問題が優先するため、価格の低いものを用いる必要があり、そのようなものでは製造・加工を容易にするため、最初から、各種の異元素を含有している。これらの異元素自体が半導体素子にとって好ましくないものもあるし、これらの異元素を添加する過程で、外部から混入し、あるいは添加材料に不純物として含まれる場合がある。

【0008】 例えば、TNガラスは安価なガラス基板で耐熱性がよく、熱膨張率等がシリコンに近いため、液晶ディスプレー用の基板として好ましいものであるが、リ

チウムを5%程度含有している。このリチウムの一部はイオン化し、可動イオンとして半導体素子に侵入し、素子の劣化をもたらす。また、このリチウムは99%以上の高純度のものを製造することが難しく、通常、0.7%程度のナトリウムが含まれている。ナトリウムのイオン化率は10%程度で、極めて大きく、このナトリウムイオンは素子の特性に極めて深刻な影響をもたらす。

【0009】従来の薄膜状半導体素子では、図5に示すように、この可動イオンの侵入に対しては、酸化珪素等をパッジベーション膜として使用し、また、層間絶縁物をPSGやBPSGとすることによってこれらの可動イオンをゲッタリングすることによって対処されてきた。しかしながら、これらの方法では汚染を十分に防ぐことは困難であった。本発明は、これらの汚染元素・イオンを侵入によって素子が劣化することを抑制することを目的とする。

【0010】

【問題を解決する方法】本発明では、以上のような汚染を抑制するために薄膜半導体素子の下部と上部にそれぞれ塗化珪素や酸化アルミニウム、酸化タンタル等の可動イオンに対してブロッキング作用を有する膜（ブロッキング膜）を形成したことを特徴とする。

【0011】本発明の典型的な例は図1に示される。図1では本発明を用いたTFTが示されている。すなわち、絶縁性基板201上に第1のブロッキング膜102として第1の塗化珪素膜が形成されている。第1の塗化珪素膜は基板からの汚染を防ぐ効果を有する。そして、第1の塗化珪素膜上に、例えば酸化珪素のようなシリコン材料と密着性のよい皮膜103を形成する。この皮膜103を形成せずして、直接、半導体皮膜を第1の塗化珪素上に形成し、TFTを作製すると、塗化珪素と半導体材料の界面に生ずるトラップ単位によってチャネル領域が導通化し、TFTが動作しなくなる。したがって、このような緩衝体を設けることは重要である。

【0012】皮膜103上にはTFTが形成される。TFTは、ソース（ドレイン）領域109とドレイン（ソース）領域109、それらに挟まれたチャネル領域108、ゲート絶縁膜104、ゲート電極110を有する。TFTのソース、ドレイン、チャネル各領域は単結晶もしくは多結晶、あるいはアモルファスの半導体材料で形成される。半導体材料としては、例えば、シリコン、ゲルマニウム、炭化珪素、およびこれらの合金が使用される。

【0013】そして、このTFTを覆って、第2のブロッキング膜105として第2の塗化珪素膜が形成される。ここで、第2の塗化珪素膜が、TFTの作製の後で、かつ、ソースおよび/またはドレインに電極が形成される前に形成されることが本発明の特徴とするところである。従来の技術では、電極形成後にファイナルパッジベーション膜としての塗化珪素膜が形成されたが、本

発明はそのような意味で形成される塗化珪素膜とは目的が異なる。すなわち、本発明における第2の塗化珪素膜は、第1の塗化珪素膜とともにTFTを包み込んでしまうために形成されるのであり、TFT形成後の電極形成の工程での汚染をも防ぐことを意図するものである。したがって、本発明によってTFTとそれに付随する電極や配線を形成した後、従来のようにファイナルパッジベーション膜として塗化珪素膜を形成してもよい。

【0014】さて、第2の塗化珪素膜形成後に、層間絶縁材料、例えばPSG等によって、層間絶縁膜106を形成し、ソース（ドレイン）電極111とドレイン（ソース）電極112を形成する。

【0015】図1の例では、しかしながら、ゲート絶縁膜が遠方に伸びており、その端部からTFT内部に侵入する可能性がある。これを改良したものが、図2に示される例で、ゲート絶縁膜はTFT上にしかないため、図1のような問題はない。しかしながら、この場合はチャネル領域に隣接した部分のソース領域およびドレイン領域が塗化珪素膜に接触しているため、この部分の塗化珪素がゲート電圧によって分極し、あるいは電子をトラップして、TFTの動作を妨げることがある。

【0016】その問題を克服した例が図3に示される。ここでは、チャネル領域に隣接したソース領域およびドレイン領域は塗化珪素膜に隣接していない。したがって、塗化珪素の分極や電子トラップという困難は解決される。しかしながら、ソースおよびドレイン領域の形成にあたって、ゲート電極をマスクとするセルフアラインプロセスを採用する場合には、この例では図1の例と同様に、ゲート絶縁膜を通して、アクセプターあるいはドナー元素を注入しなければならず、そのためイオン注入法を採用するのであれば、イオンの加速エネルギーを高める必要がある。その際、高速イオンが注入される結果、その二次散乱によってソースおよびドレイン領域が広がることがある。

【0017】図2において、201は絶縁性基板、202は第1の塗化珪素膜、203は酸化珪素等の緩衝用絶縁膜、204はゲート絶縁膜、205は第2の塗化珪素膜、206は層間絶縁膜、207はソース（ドレイン）領域、208はチャネル領域、209はドレイン（ソース）領域、210はゲート電極、211はソース（ドレイン）電極、212はドレイン（ソース）電極である。また、図3において、301は絶縁性基板、302は第1の塗化珪素膜、303は酸化珪素等の緩衝用絶縁膜、304はゲート絶縁膜、305は第2の塗化珪素膜、306は層間絶縁膜、307はソース（ドレイン）領域、308はチャネル領域、309はドレイン（ソース）領域、310はゲート電極、311はソース（ドレイン）電極、312はドレイン（ソース）電極である。

【0018】本発明において、ブロッキング膜として塗化珪素膜を用いる場合には、化学式でSiNxで表した

とき、 $x = 1$ 、 0 から $x = 1$ 、 7 が適し、特に、 $x = 1$ 、 3 から $x = 1$ 、 3.5 の化学量論的組成($x = 1$ 、 3 、 3)のもの、あるいはそれに近いものでよい結果が得られた。したがって、本発明では、窒化珪素は減圧CVD法によって形成する方が良かった。しかしながら、プラズマCVD法や光CVD法で形成された窒化珪素皮膜であっても、本発明を使用しない場合に比べて素子の信頼性が向上することは言うまでもない。

【0019】減圧CVD法によって、窒化珪素膜を形成しようとすれば、原料ガスとしてジクロールシリラン(SiCl₂H₂)とアンモニア(NH₃)を用い、圧力10~1000Paで500~800°C、好ましくは550~750°Cで反応させればよい。もちろん、シラン(SiH₄)やテトラクロロシリラン(SiCl₄)を用いてもよい。

【0020】さらに、窒化珪素以外に酸化アルミニウムや酸化タンタルがブロッキング膜として用いられるることは先に述べた通りである。これらの被膜を形成するには、CVD法やスパッタ法を用いればよい。例えば、酸化アルミニウム膜の形成には、トリメチルアルミニウムAl(CH₃)₃を酸化窒素(N₂O、NO、NO₂)等と酸化反応させればよい。

【0021】図4には、本発明を使用して、公知の技術である低不純物濃度ドレイン(LDD)を形成する例を示した。まず、石英あるいはANガラス等の絶縁性基板401上に減圧CVD法によって窒化珪素膜402を厚さ50~1000nm形成する。このとき、基板の表面だけでなく、裏面をも窒化珪素膜で被覆してしまうと本発明をより確実に効果的に実施できる。すなわち、製造工程においては裏面から発生した可動イオン(それらは基板に含まれているのだが)が、さまざまな理由によつて表面に到達することがよくあり、その結果、例えば、ゲイト酸化膜作製中に膜中に可動イオンが侵入する。また、裏面が可動イオンの発生源であると、成膜装置等の製造装置は絶えず、可動イオンによって汚染されているので、製造装置の清浄度を保つうえでも、基板の裏面に窒化珪素膜を設けることは必要なことである。窒化珪素膜の上に緩衝用の酸化珪素皮膜403を同じく減圧CVD法によって、厚さ50~1000nm形成する。この際、原料ガス中に体積比で3%から6%、例えば5%ほどの塩化水素等のハロゲンを含むガスを混入させておくと、得られる酸化珪素膜中にハロゲン元素が取り込まれる。このハロゲンはナトリウム等のアルカリイオンと結合して、ナトリウムを固定するので、ナトリウム汚染を防ぐうえでより大きな効果が得られる。しかし、過剰なハロゲンの添加は膜を粗にし、密着性や表面の平坦性を損なうので好ましくない。

【0022】次にドナーもアクセプターも添加されない非晶質シリコン膜を減圧CVD法、あるいはプラズマCVD法、あるいはスパッタ法によって厚さ20~500

nmだけ形成する。そして、これを島上にエッティングする。その上にゲイト絶縁膜として、厚さ10~100nmの酸化珪素膜を減圧CVD法、あるいはスパッタ法によって形成する。この際も、元のように、原料ガス中、あるいはスパッタガス中にハロゲン材料ガスを混入させておくとよい。

【0023】そして、その上に減圧CVD法、あるいはプラズマCVD法によって、リンが1021cm⁻³程度でドープされた多結晶あるいは微結晶シリコン膜を形成する。そして、このシリコン膜およびその下のゲイト絶縁膜(酸化珪素)をパターニングし、ゲイト電極410とゲイト絶縁膜404を形成する。

【0024】さらに、このゲイト電極をマスクとしてセルフアライン的にイオン注入をおこない、比較的不純物濃度の小さい(10¹⁷~10¹⁹cm⁻³程度)ソース(ドレイン)領域407、ドレイン(ソース)領域408を形成する。不純物の注入されなかつ部分がチャネル領域408として残る。こうして、図4(A)が得られる。

【0025】次に、図4(B)に示すように減圧CVD法によって、全体にPSG膜413が形成される。そして、これを公知の方向性エッティングによってエッティングし、ゲイト電極の横に側壁414を形成する。その後、再び、イオン注入をおこない、不純物濃度の高いソース(ドレイン)領域407aとドレイン(ソース)領域409aを形成する。不純物濃度の低い領域はソース(ドレイン)領域407bとドレイン(ソース)領域409bとなって、LDDを形成する。こうして、図4(C)を得る。

【0026】その後、図4(D)に示すように、減圧CVD法によって、全体に窒化珪素膜405を、厚さ50~1000nm形成する。その後、例えば、600°C程度の低温アニールによってシリコン膜の結晶化をおこない、ソース、ドレイン領域の活性化をおこなう。この工程はレーザーハニールでおこなってよい。このようにして、TFTの中間体が得られる。

【0027】図4の例は、本発明の例を示したに過ぎず、本発明が、上記の工程に制約されないことは明らかであろう。図4の例では、図3の例と同様に、窒化珪素膜とゲイト電極とソースあるいはドレイン領域が隣接する部分がない。すなわち、図2の場合とは違って、側壁414が存在するため、図2で懸念されたような問題はない。さらに、図3とは異なって、ドナーやアクセプターの添加は容易におこなえるという特徴を有する。

【0028】

【実施例】本発明を用いたTFTの特性について記述する。本実施例で使用したTFTは石英ガラス基板上に図4のプロセスに従つて作製したLDD型TFTである。まず、石英ガラス基板401上およびその裏面と側面(すなわち、基板全体)に減圧CVD法によって窒化珪

素膜402を厚さ100nm形成し、さらに、連続的に減圧CVD法によって酸化珪素膜（低温酸化膜（LTO膜）ともいう）403を厚さ200nm形成し、最後に、やはり減圧CVD法によって非晶質シリコン膜を厚さ30nm形成した。このときの最高プロセス温度は600°Cであった。次に、非晶質シリコン膜を島状にパターニングした。そして、その非晶質シリコン膜の表面のごく薄い部分、厚さ2~10nmを陽極酸化法によって酸化した。その後、スパッタ法によって酸化珪素膜を100nm形成した。ここで、スパッタ雰囲気は酸素とアルゴンもしくは他の希ガスの混合気体とし、かつ、酸素の分圧を80%以上とした。このとき、スパッタ衝撃によって、下地の膜に欠陥が生じる。例えば、下地がシリコン膜であった場合には、シリコン中に酸素原子が打ち込まれ、酸素の濃度が増加する。このような状態ではシリコンは極在準位の多いものとなってしまう。すなわち、シリコンと酸化珪素の境界がはっきりしないものとなってしまう。しかし、本実施例のように予め薄い陽極酸化膜を形成しておけば、スパッタの際には既に酸化珪素が存在しているため、上記のような原子の混合が避けられ、シリコン膜と酸化珪素膜の境界は保たれる。

【0029】この酸化珪素膜の形成後、減圧CVD法によって、リンを1021cm⁻³程度含んだn⁺型の微結晶珪素膜を厚さ300nm形成した。以上の被膜形成の最高プロセス温度は650°Cであった。その後、ゲート電極のパターニングをおこないゲート電極410とゲート絶縁膜404を形成した。さらに、イオン打ち込みによって砒素イオンを $2 \times 10^{18} \text{ cm}^{-3}$ だけ注入し、ソースおよびドレイン領域407、409を形成した。こうして、図4（A）を得た。

【0030】次いで、図4（B）のように減圧CVD法によってPSG膜413を形成し、方向性エッティングによって、図4（C）に示される側壁414を形成した。さらに、イオン打ち込み法によって砒素イオンを領域407aおよび409aに $5 \times 10^{20} \text{ cm}^{-3}$ 注入した。

【0031】その後、全体に窒化珪素膜405を減圧CVD法によって形成した。こうして、図4（D）を得た。その後、真空中620°Cで48時間アニールして、領域407a、407b、408、409a、409bを活性化させた。そして、減圧CVD法によって層間絶縁物として、全体にPSG膜を形成し、電極用の穴を開け、アルミ電極をソース領域およびドレイン領域に形成した。そして、最後に、パッシベーションの目的で全体に再び、減圧CVD法によって窒化珪素膜を形成した。

【0032】このようにして形成されたTFTは極めて信頼性の高いものであった。いわゆるバイアス-温度処理（BT処理）によっても素子の動作特性が変化しないことが示された。その例を図6に示す。BT処理は図6中に示された回路図のように配線して、加温中でゲート（G）とソース（S）、ドレイン（D）間にバイアス電

圧VBを加えることによっておこなった。具体的には、作製後直ちに室温でTFTのゲート電圧ードレイン電流特性を測定し（VB=0）、その後、150°Cで1時間、ゲート電極に+20Vの電圧を加え、室温でTFTのゲート電圧ードレイン電流特性を測定し（VB=+20V）、次に、再び、150°Cで1時間、ゲート電極に今度は-20Vの電圧を加え、その後、室温でTFTのゲート電圧ードレイン電流特性を測定し（VB=-20V）、TFTのしきい値電圧の変動を調べた。

【0033】図6（B）が以上に記載した方法によって作製したTFTの特性である。このように、バイアス電圧VBに全く特性が影響されず、精密な測定の結果、しきい値電圧の変動は0.2V以下であった。

【0034】一方、図6（A）に示されるものは、窒化珪素膜402と405を設けなかった以外は本実施例に示した方法と全く同じプロセスで作製したものであるが、図から明らかなように特性がVBに大きく依存している。このような特性の変動（しきい値電圧の変動）は、ゲート絶縁膜中のナトリウム等の可動イオンによるものと説明され、変動が大きいほど可動イオンが多く、また、図6（B）のように変動が少ないものは可動イオンの量が少ないと説明されている。しきい値電圧の変動から本実施例で作製したTFTのゲート電圧中の可動イオンの量は $8 \times 10^{10} \text{ cm}^{-3}$ 程度であると推定される。すなわち、本発明のように窒化珪素膜を設けることによって、TFTの特性を著しく改善し、信頼性を向上せしめることが可能であることが示された。

【0035】

【発明の効果】本発明によって、ナトリウム等の可動イオンの影響の少ないTFT等の薄膜状半導体素子を作製することができる。従来、可動イオンが存在するため素子が形成できなかった基板においても、TFTを形成することが可能となった。本発明を実施するには、図1ないし図4のようにコプラナ型であっても、また、逆コプラナ型やスタガ型、逆スタガ型のTFTを用いても構わない。また、本発明は、薄膜状半導体素子の動作について制約を加えるものではないので、トランジスタのシリコンはアモルファスであっても、多結晶であっても、微結晶であっても、またそれらの中間状態のものであっても、さらには単結晶であっても構わないことは明らかであろう。

【図面の簡単な説明】

【図1】本発明によるTFTの例を示す。

【図2】本発明によるTFTの例を示す。

【図3】本発明によるTFTの例を示す。

【図4】本発明によるTFTの作製例を示す。

【図5】従来のTFTの例を示す。

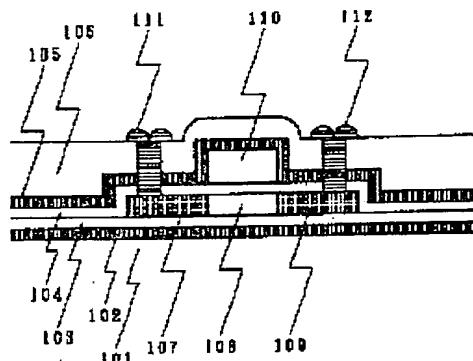
【図6】本発明を利用したTFTと利用しないTFTの特性を示す。

【符号の説明】

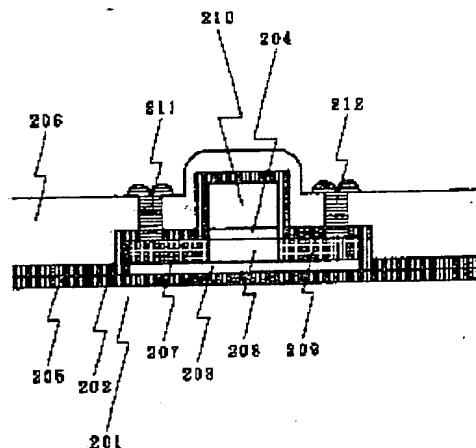
101 絶縁性基板
 102 第1のブロッキング膜
 103 緩衝絶縁膜
 104 ゲイト絶縁膜
 105 第2のブロッキング膜
 106 層間絶縁膜

107 ソース（ドレイン）領域
 108 チャネル領域
 109 ドレイン（ソース）領域
 110 ゲイト電極
 111 ソース（ドレイン）電極
 112 ドレイン（ソース）電極

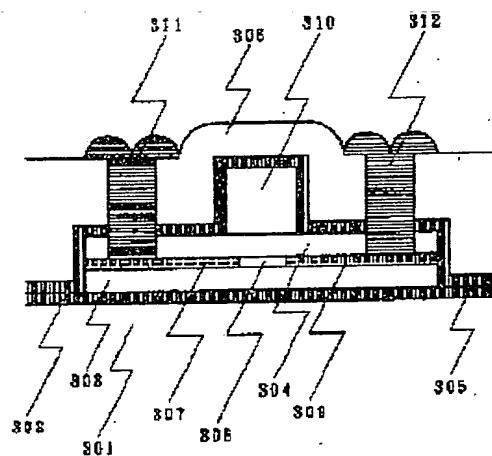
【図1】



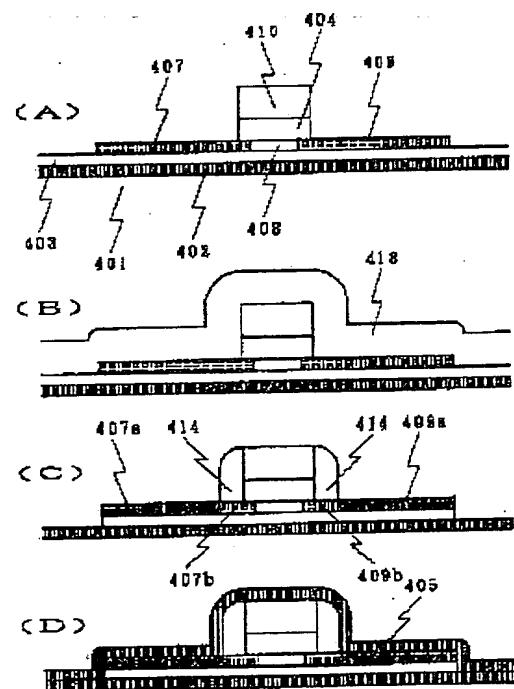
【図2】



【図3】

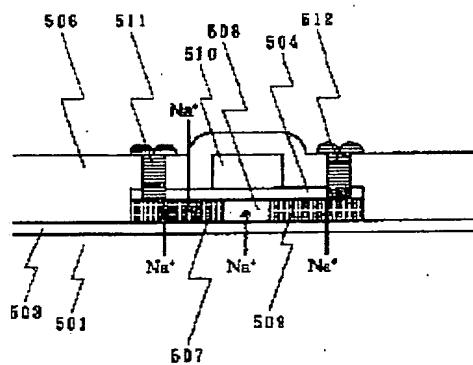


【図4】

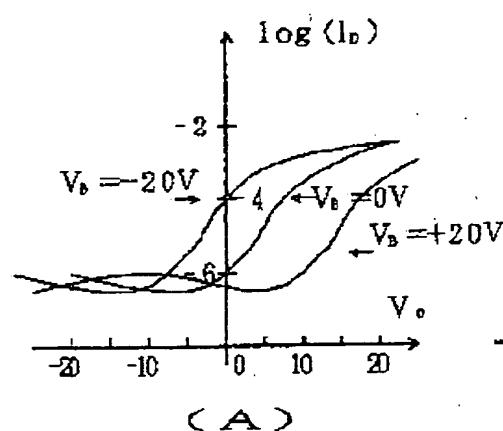
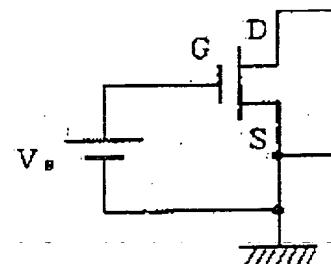


【図5】

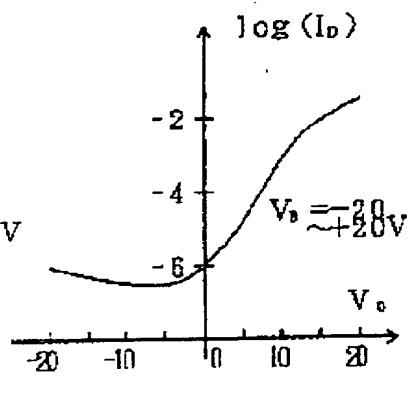
Prior Art



【図6】



(A)



(B)

$V_G = 17 \text{ V}$
 $V_S = 0 \text{ V}$
 $W/L = 30/10 \mu\text{m}$